呂彥旻

學號:110368151

1. 實驗名稱

Logic Synthesis with Design Compiler

1. 實驗目的

使用Design Vision compiler

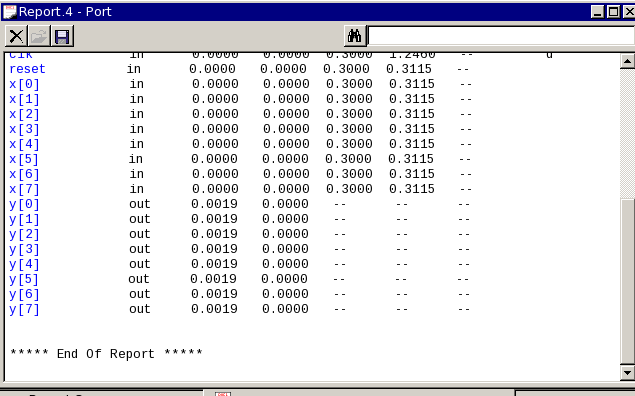
1. 實驗過程

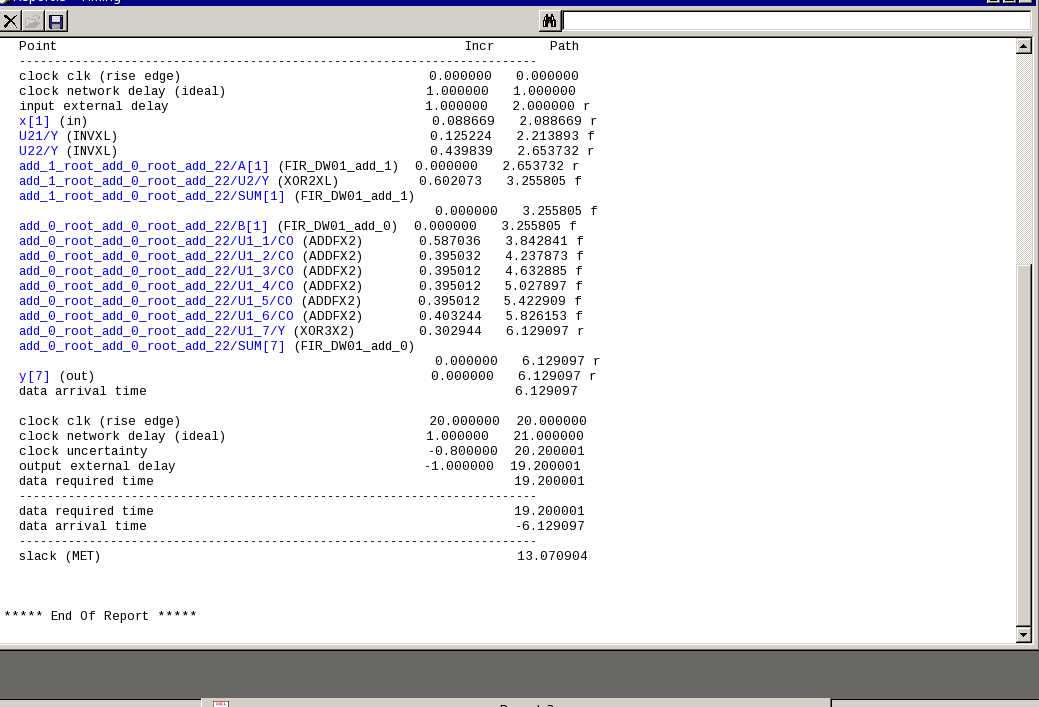
依照講義的操作步驟

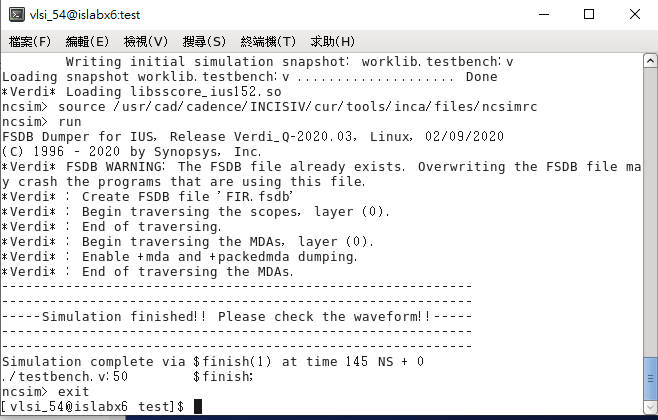
1. 程式撰寫

依照講義的程式碼

1. 模擬解果與分析 (附圖)







1. 心得

這次的作業比較簡單，只需要跟著步驟做就會成功。但是其中有很多需要去理解的東西，比如頻率設定或是線路寬度等，都需要仔細摸索才會有更深入的了解。整個過程雖然簡單，是因為這是較小的設計，如果遇到較大的設計模式就需要了解全部的過程。